

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

8747878

Basic Patent (No,Kind,Date): JP 1136373 A2 890529 <No. of Patents: 001>

MANUFACTURE OF THIN-FILM SEMICONDUCTOR DEVICE (English)

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE

Author (Inventor): SERIKAWA TADASHI; OKAMOTO AKIO; SUYAMA SHIRO; SUYAMA

SHIRO

IPC: *H01L-029/78; H01L-021/225; H01L-027/12

CA Abstract No: 112(12)110086W

Derwent WPI Acc No: C 89-197409

JAPIO Reference No: 130386E000158

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1136373	A2	890529	JP 87295456	A	871124 (BASIC)

Priority Data (No,Kind,Date):

JP 87295456 A 871124

RECEIVED

MAR 29 2004

OFFICE OF PETITIONS

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

02838773 **Image available**

MANUFACTURE OF THIN-FILM SEMICONDUCTOR DEVICE

PUB. NO.: 01-136373 [JP 1136373 A]

PUBLISHED: May 29, 1989 (19890529)

INVENTOR(s): SERIKAWA TADASHI

 OKAMOTO AKIO

 SUYAMA SHIRO

 SUYAMA SHIRO

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese
 Company or Corporation), JP (Japan)

APPL. NO.: 62-295456 [JP 87295456]

FILED: November 24, 1987 (19871124)

INTL CLASS: [4] H01L-029/78; H01L-021/225; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)

JOURNAL: Section: E, Section No. 812, Vol. 13, No. 386, Pg. 158,
 August 25, 1989 (19890825)

RECEIVED

MAR 29 2004

OFFICE OF PETITIONS

ABSTRACT

PURPOSE: To form a thin-film type semiconductor device having excellent characteristics at a low temperature with high yield by forming source/drain electrodes, depositing a silicon film and executing annealing.

CONSTITUTION: A semiconductor thin-film containing an impurity (phosphorus, arsenic or boron) in concentration of $1 \times 10^{18} (\text{sup } 18) / \text{cm} (\text{sup } 3)$ is deposited onto an insulating substrate 31, to which specified treatment is executed, as a first layer thin-film, and etched and processed. The semiconductor thin-film is changed into source/drain electrodes 32, 32'. An silicon film 33 is deposited, and annealed and treated. One part of the impurity contained in the semiconductor thin-films 32, 32' is diffused to the silicon film 33 through the annealing treatment, and the resistance of the source/drain electrodes is further lowered. A gate insulating film 34 and a gate electrode 35 are shaped, and lastly a wiring 36 is formed. Consequently, the silicon film in a channel region is not exposed directly to etching treatment. As a result, the surface of silicon is not roughened and contaminated, and the characteristics of the interface between a gate insulating film 23 and an silicon film 22 are improved. Accordingly, a thin-film type semiconductor device having high quality can be formed with excellent yield.

⑫ 公開特許公報(A) 平1-136373

⑤ Int. Cl.⁴H 01 L 29/78
21/225
27/12

識別記号

3 1 1

庁内整理番号

Y-7925-5F
P-7738-5F
7514-5F

④ 公開 平成1年(1989)5月29日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 薄膜型半導体装置の製法

⑭ 特 願 昭62-295456

⑮ 出 願 昭62(1987)11月24日

⑯ 発 明 者 芹 川 正 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑰ 発 明 者 岡 本 章 雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑱ 発 明 者 陶 山 史 朗 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 陶 山 史 朗 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 高山 敏夫 外1名

明 細 書

1. 発明の名称

薄膜型半導体装置の製法

2. 特許請求の範囲

(1) 基板上に不純物を含む第1の半導体膜ないしは導電性膜からなる第1の膜を堆積する工程と、前記第1の膜をパターン化し、膜の有る部分と無い部分を形成する工程と、次いで第2の半導体膜を堆積する工程と、次いでアニール処理を施し、前記第1の膜が第1の半導体膜の場合にはその中に含まれる不純物を前記第2の半導体膜中に拡散させる工程と、次いでゲート絶縁膜を形成する工程と、前記第1の膜の少なくとも膜の無い部分を含む領域上の前記ゲート絶縁膜上にゲート電極を形成する工程とを少なくとも具備することを特徴とする薄膜型半導体装置の製法。

(2) 第1の薄膜として、焼、ヒ素、もしくは、ボロンを、濃度 1×10^{18} ($1/\text{cm}^3$) 以上含むシリコン膜、もしくは、金属膜を用いることを特

徴とする特許請求の範囲第1項記載の薄膜型半導体装置の製法。

(3) 第1の薄膜として、焼、ヒ素、もしくは、ボロンを、濃度 1×10^{18} ($1/\text{cm}^3$) 以上含むシリコン膜と金属膜とを積層した薄膜であることを特徴とする特許請求の範囲第1項記載の薄膜型半導体装置の製法。

(4) アニール処理を、レーザー照射法、赤外線照射法、もしくは電子線照射法によって行うことを特徴とする特許請求の範囲第1項記載の薄膜型半導体装置の製法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、高性能な薄膜型半導体装置の製造方法に関する。

(従来の技術および発明が解決しようとする問題点)

薄膜型半導体装置は、近年、三次元LSIの構成要素として、あるいは、平面ディスプレイ装置用として注目され、研究が盛んである。この種の半導体装置の用途や特性については文献

(例えば、S.D.Malhi 等による論文：IEEE Trans. Electron Devices, ED-32 巻、1985 年の第 258-281 ページ)において詳細に記載されている。

この薄膜型半導体装置は、絶縁性基板上に堆積した厚さ 0.01 μm をいし 2.0 μm のシリコン膜を基体として構成されている。この薄膜型半導体装置としては、現在、第 2 図、第 3 図の構成のものが、最も広く用いられている。しかし、いずれのものでも、その動作原理は同じである。

第 2 図、第 3 図に示すように、薄膜型半導体装置の基本的構造は、絶縁性基板上 11、21 にシリコン膜 12、22 を堆積し、その上にゲート絶縁膜 13、23 とゲート電極 14、24 が形成されたものとなっている。このような構造において、ゲート電極 14、24 に電圧を印加すると、シリコン膜 12、22 中、特に、シリコン膜 12、22 とゲート絶縁膜 13、23 との界面近傍にキャリアが誘起される。このキャリアがソース電極 15、25 とドレイン電極

15、25 との間を流れて、この半導体装置は動作する。このように、薄膜型半導体装置の特性は、特に、ゲート絶縁膜 13、23 とシリコン膜 12、22 との界面の性質に敏感に依存する。

しかしながら、第 2 図、第 3 図に示した従来法による薄膜型半導体装置では、製法ならびに特性上、幾つかの問題がある。

第 2 図の半導体装置におけるソース/ドレイン電極 15、15' の形成は、シリコン膜 12 に、不純物として磷、ヒ素、もしくは、ボロンを、1000℃前後の高温で熱処理により拡散して行いか、もしくは、上記不純物をイオン注入法により導入した後、この不純物の活性化を高温の熱処理によって行うのが一般的である。しかし、これらの方法では、いずれも、高温での熱処理を必要とするために、基板 11 として、ガラス等の安価なものが使用できないこと及び、三次元 LSI 等においては、下層に既に形成されている半導体装置を破壊してしまう

問題がある。

一方、第 3 図に示した薄膜型半導体装置では、新たな問題が生じる。この原因は、その製作工程の違いにある。第 3 図の半導体装置では、シリコン膜 22 上全面に、まず、磷、ヒ素、あるいは、ボロンを含む半導体薄膜を堆積する。その後、通常のホトリソグラフィ技術とエッチング技術とにより、ソース/ドレイン電極 25、25' となる領域を残して、チャネル領域の部分の上記半導体薄膜をエッチング除去する。しかし、この方法では、シリコン膜 22 を残して、不純物を含む半導体薄膜を完全に除去することは非常に困難である。なぜならば、不純物を含む半導体薄膜と、下層のシリコン膜 22 は、共に、シリコンから成っているからである。もし、この不純物を含む半導体薄膜の除去が不完全で、多少でも残っていると、ソース電極とドレイン電極とが短絡する。反対に、半導体薄膜の除去を完全に行うために、エッチングを十分に行うとチャネル領域の半導体薄膜 22 が欠落してしまう。

さらに、第 3 図に示した薄膜型半導体装置では、ゲート絶縁膜 23 とシリコン膜 22 との界面の特性が劣化する問題がある。この理由は、不純物を含む半導体薄膜をエッチングする際に、下層のシリコン膜 22 の表面に、微細な凹凸が発生したり、あるいは、エッチング時に、シリコン膜の表面がエッチング液等により汚染されるからである。このように、界面特性が劣化すると、高品質の薄膜型半導体装置が得られなくなったり、特性のパラッキが大きくなる。

以上に述べたように、従来からの薄膜型半導体装置の製法には、多くの問題があり、このために、特性のすぐれた半導体装置を低温で製作できなかったり、あるいは、その製造歩留まりが低下していた。

(発明の目的)

本発明の目的は、従来方法における問題点を解決し、特性の優れた薄膜型半導体装置を、低温で、高歩留まりに製作する方法を提供することにある。

(問題点を解決するための手段)

上記の目的を達成するため本発明は基板上に不純物を含む第1の半導体膜ないしは導電性膜からなる第1の膜を堆積する工程と、前記第1の膜をパターン化し、膜の有る部分と無い部分を形成する工程と、次いで第2の半導体膜を堆積する工程と、次いでアニール処理を施し、前記第1の膜が第1の半導体膜の場合にはその中に含まれる不純物を前記第2の半導体膜中に拡散させる工程と、次いでゲート絶縁膜を形成する工程と、前記第1の膜の少なくとも膜の無い部分を含む領域上の前記ゲート絶縁膜上にゲート電極を形成する工程とを少なくとも具備することを特徴とする薄膜型半導体装置を発明の要旨とするものである。

しかして本発明の特徴は、薄膜型半導体装置において、ソース/ドレイン電極を形成した後、シリコン膜を堆積し、アニール処理を施すことにある。

次に本発明の実施例について説明する。なお

シリコン膜が、直接エッチング処理に晒されることはない。このために、シリコンの表面が荒れたり、汚染されることもなく、ゲート絶縁膜23とシリコン膜22との界面の特性は、優れたものとなり、従って、高品質の薄膜型半導体装置を、歩留まり良く製造できる。

第1図の工程(d)におけるアニール処理を、レーザ光照射法や、電子線照射法、もしくは、赤外線照射法等による短時間アニール法により行くと、基板31を低温度に保った状態で、絶縁性基板31上の薄膜32、32'、33を選択的にアニールできる。このために、高温度には耐えられないが、しかし、安価なガラス等の基板が使用できる。

第1図における第1層の薄膜の材質としては、上述した不純物を含む半導体薄膜の外に、金属膜を使用してもよい。例えば、モリブデンやタタン等の金属膜を堆積し、エッチング加工する。その後、シリコン膜を堆積し、アニール処理を施すと、金属膜とシリコン膜との間で反応が起

実施例は一つの例であって、本発明の精神を逸脱しない範囲で、種々の変更あるいは改良を行うことは云うまでもない。

第1図は、本発明の実施例を示す図である。所定の処理を施した絶縁性基板31上に、第1層の薄膜として、濃度 $1 \times 10^{18} (1/\text{cm}^3)$ 以上の不純物：燐、ヒ素、もしくは、砒素を含む半導体薄膜を堆積し、エッチング加工する。この半導体薄膜がソース/ドレイン電極32、32'となる(工程(a))。その後、厚さ $0.01 \mu\text{m}$ ないし $2.0 \mu\text{m}$ のシリコン膜33を堆積し(工程(b))、しかる後に、アニール処理を施す(工程(c))。このアニール処理によって、半導体薄膜32、32'に含まれる不純物の一部がシリコン膜33に拡散し、ソース/ドレイン電極の抵抗が一層低下する。その後、ゲート絶縁膜34とゲート電極35とを形成し(工程(d))最後に配線36を形成する(工程(e))。

第1図に示したように、本発明では、第3図の従来からのものとは異なり、チャネル領域の

こり、金属間化合物から成るソース/ドレイン電極が形成される。この方法には、ソース/ドレイン電極の比抵抗を、前述した不純物を含む半導体薄膜から成るものに比べて、著しく小さくできる利点がある。

さらに、本発明における第1層の薄膜の他の形成法として、金属膜や不純物を含む半導体膜を単層で使用するのではなく、積層して用いる方法は、さらに効果的である。すなわち、金属膜と、不純物を含む半導体膜とを積層して、第1層の薄膜を堆積した後、エッチング加工する(第1図(a))。その後、シリコン半導体膜を堆積し、アニール処理を施す。このようにすると、上記の不純物を含み、かつ、金属間化合物から成るソース/ドレイン電極が形成できる。不純物がソース/ドレイン電極に含まれていると、これらのソース/ドレイン電極とチャネル領域(ソース電極とドレイン電極とに挟まれ、キャリアが輸送される領域)との境での、キャリアの輸送の助けとなるポテンシャル障壁の形成が

阻止される。さらに、金属間化合物となっているために、半導体薄膜を単層で使用する場合よりも、低い抵抗のソース/ドレイン電極となる。これらの理由から、さらに高いキャリア移動度を有する、優れた特性の薄膜型半導体装置が得られる。

本発明における第1の薄膜の厚さは、 $0.01\mu\text{m}$ をいし $2.0\mu\text{m}$ が適している。 $0.01\mu\text{m}$ よりも薄くすると、この膜の上に堆積したシリコン膜への不純物の供給が十分に行われなくなったり、ストイキオメトリな金属間化合物がえられなくなる。一方、 $2.0\mu\text{m}$ よりも厚くなると、この薄膜のエッチング加工が困難になったり、あるいは、その上に堆積するシリコン膜が、第1層の薄膜の端部で、不均一もしくは、断絶する問題が発生する。

また、シリコン膜の最適な厚さも、 $0.01\mu\text{m}$ をいし $2.0\mu\text{m}$ である。 $0.01\mu\text{m}$ よりも薄くすると、均一な膜とはならず、平滑な、シリコン膜22とゲート絶縁膜23との界面が得られな

い。一方、 $2.0\mu\text{m}$ よりも厚くすると、不純物濃度が低いソース/ドレイン電極となったり、ストイキオメトリからずれた金属間化合物のものとなり、優れた特性の薄膜型半導体装置は得られない。

さらに、第1の薄膜に含まれる不純物の濃度としては、 $1 \times 10^{18} (1/\text{cm}^3)$ 以上が必要である。これよりも小さい濃度では、ソース/ドレイン電極の抵抗を十分低くできないことは、文献(M.M.Mandurah等の論文: Journal of Electrochemical Society, 1976年, 第126巻, 1019-1023ページ)に示されている。

(発明の効果)

以上説明したように、本発明によれば、高品質の薄膜型半導体装置が、低い温度で、歩留まり良く製造できる。従って、本発明には、三次元LSIや平面ディスプレイを低価格で製造できる利点がある。

4.図面の簡単な説明

第1図は、本発明による薄膜型半導体装置の

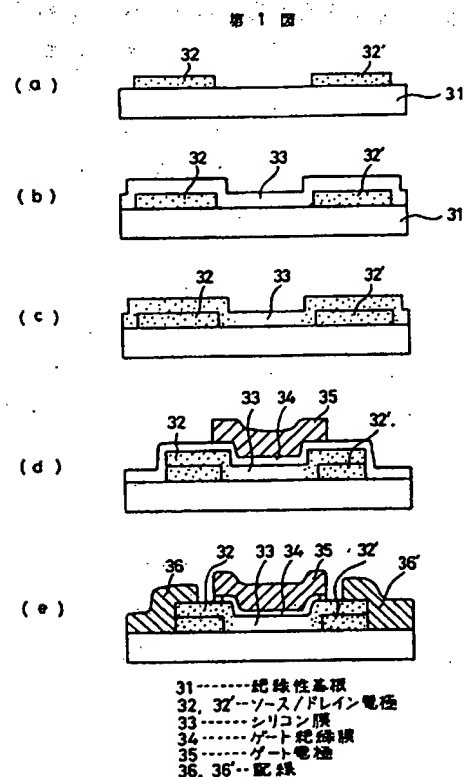
概略図。第1図(a)は、従来の薄膜型半導体装置の一例を示す概略図である。

11, 21, 31...絶縁性基板、12, 22, 33...シリコン膜、13, 23, 34...ゲート絶縁膜、14, 24, 35...ゲート電極、15, 15', 25, 25', 32, 32'...ソース/ドレイン電極、16, 16', 26, 26', 36, 36'...配線。

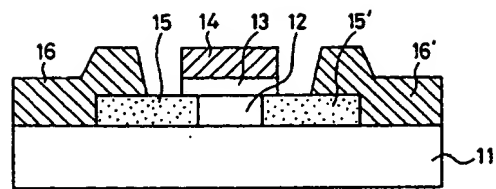
出願人 日本電信電話株式会社

代理人 弁理士 高山 敏

(印か1名)



第 2 図



第 3 図

